


Original document**MANUFACTURING METHOD OF SOI WAFER AND SOI WAFER**

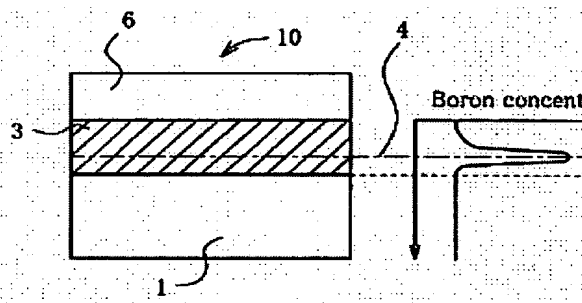
Patent number: JP2002184960  
 Publication date: 2002-06-28  
 Inventor: MITANI KIYOSHI  
 Applicant: SHINETSU HANDOTAI KK  
 Classification:  
 - international: H01L27/12; H01L21/02; H01L21/20  
 - european:  
 Application number: JP20000384379 20001218  
 Priority number(s): JP20000384379 20001218

Also published as:

 EP1345272 (A)  
 WO0250912 (C)  
 WO0250912 (C)  
 US6784494 (E)  
 US200307526

[View INPADOC patent family](#)[Report a data error](#)**Abstract of JP2002184960**

**PROBLEM TO BE SOLVED:** To provide an SOI wafer with excellent high frequency characteristics and to provide its manufacturing method. **SOLUTION:** Silicon oxide films 3' and 3'' are formed on respective main surfaces of a first silicon single crystal substrate (bond wafer) 1 and a second silicon single crystal substrate (base wafer) 2. The first and second silicon single crystal substrates 1 and 2 are tightly bonded to each other in an atmosphere of clean air supplied through a filter with the respective silicon oxide films 3' and 3'' between them to form an SOI wafer 10. A silicon single crystal substrate with an internal resistivity of not lower than 1000  $\Omega \cdot \text{cm}$  is used as the second silicon single crystal substrate (base wafer) 2. When a boron concentration distribution in the silicon oxide film 3 of the SOI wafer 10 in the direction of thickness formed as above described is measured, a position where the boron concentration is maximum exists in the oxide film.

Data supplied from the *esp@cenet* database - WorldwideDescription of corresponding document: **US2003075260****FIELD OF THE INVENTION**

[0001] The present invention relates to a method for manufacturing SOI wafer and thus-manufactured SOI wafer.

**BACKGROUND OF THE INVENTION**

[0002] There has been a general trend of handling high-frequency signal of several hundred MHz or above in recent mobile communication typically using cellular telephones, which strongly demands semiconductor devices with excellent high-frequency characteristics. Semiconductor devices such as CMOS-IC and high-voltage IC typically employ so-called SOI comprising a silicon single crystal substrate (also referred to as "base wafer" hereinafter), a silicon oxide layer (buried oxide film) formed thereon, and another silicon single crystal layer stacked further thereon as an SOI (silicon-on-insulator) layer. For the purpose of fabricating semiconductor devices for high-frequency use on the SOI wafer, it is necessary for the base wafer to be composed of a high-resistivity silicon single crystal in order to reduce high frequency loss.

[0003] One representative process for manufacturing the SOI wafer relates to bonding process. According to the bonding process, a first silicon single crystal substrate (also referred to as "bond wafer" hereinafter), which provides an SOI layer affording device formation area, and a second silicon single crystal substrate which serves as a base wafer are bonded so as to locate a silicon oxide film in between, and the bond wafer is then reduced in the thickness thereof so as to be thinned to a predetermined thickness, to thereby convert the bond wafer to the SOI layer.

[0004] In the above-described bonding process, a bonding interface between the base wafer and the bond wafer may sometimes catch foreign matters such as particles. Such foreign matters accidentally residing on the bonding interface may induce a defect such as void, degraded wafer characteristics typically due to diffusion of impurities, and degraded bonding strength between both substrates. The substrates are thus bonded in a clean room (or in a clean area) so as to avoid the contamination of foreign matters into the bonding interface. In the manufacture of SOI wafer by the bonding process, it is a general practice to form the silicon oxide film only on the surface of the bond wafer, and then bond the base wafer with the bond wafer so as to locate the silicon oxide film in between.

[0005] Another known problem resides in that the clean room, which is a site of the wafer bonding, usually contains in the atmosphere thereof boron which is derived from the air filter, and which boron can be incorporated as an impurity into the bonding interface. Boron thus incorporated into the bonding interface diffuses during high-temperature annealing (bond-annealing) for raising bonding strength or during annealing for forming devices. In this point of view, the foregoing bonding process in which the silicon oxide film is formed only on the bond wafer hardly affects the devices since the boron diffusion into the SOI layer (device forming area) is blocked by the silicon oxide film. This is one reason why the foregoing bonding process in which the bond wafer, only on which the silicon oxide film is formed, is bonded with the base wafer is widely accepted. Whereas the bonding interface between the base wafer and silicon oxide film still suffers from adsorption of boron derived from the air filter, so that the boron diffusion into the base wafer is still inevitable during the foregoing bond-annealing.

[0006] The above-described boron diffusion into the base wafer has not attracted much attention so far as a silicon single crystal substrate having a normal-to-low resistivity is used as the base wafer. The problem of degradation of high-frequency characteristics however arises in the SOI wafer for high-frequency use, since the base wafer has a resistivity of as high as hundreds to thousands [ $\Omega$ ].cm, and the resistivity of an interfacial portion of the base wafer several micrometers deep from the interface with the silicon oxide film may considerably be lowered due to the boron diffusion.

[0007] One solution for the foregoing problem is disclosed in Unexamined Japanese Patent Publication No. 2000-10067, in which SOI wafer is manufactured by properly selecting types of the air filter used for introducing air into a clean room to thereby control the amounts of boron as a p-type impurity together with n-type impurity in the bonding atmosphere. The methods disclosed in the patent are such that:

[0008] 1. using a boron-free filter system which comprises a PTFE filter and a boron-adsorptive chemical filter irrespective of the conductivity type of the base wafer. Using the boron-free filter is beneficial to suppress boron-induced degradation in resistivity of the base wafer particularly for the case that the base wafer comprises a p-type silicon single crystal substrate having a high resistivity; and

[0009] 2. using a boron-releasable HEPA filter when the base wafer comprises an n-type silicon single crystal substrate having a high resistivity. Degradation of the resistivity is avoidable even if boron is adsorbed since the adsorbed boron is compensated by the n-type dopant contained in the n-type silicon single crystal substrate.

[0010] The foregoing method 1 is however disadvantageous in that the boron-free filter system is expensive and is less economical. While the method 2 is applicable to the case the n-type base wafer is used, it is of course inapplicable to the case the p-type base wafer is used. The paragraph 0150 of the foregoing patent publication also describes difficulty in use of the HEPA filter for the high-resistivity, p-type wafer. It is also anticipated that even the resistivity of the n-type wafer may degrade due to concentrations of the n-type dopant and the filter-derived adsorbed boron are properly balanced.

## SUMMARY OF THE INVENTION

[0011] An object of the present invention therefore resides in providing a method for manufacturing SOI wafer less causing degradation of resistivity of the base wafer even when a high-resistivity silicon single crystal substrate of either conductivity type is used as the base wafer and is bonded in a boron-containing atmosphere; and also in providing an SOI wafer produced by such method, capable of retaining high resistivity of the base wafer by localizing boron incorporated during the bonding process, capable of retaining desirable electrical characteristics of the SOI layer, and excellent in high-frequency characteristics.

[0012] To solve the foregoing problem, the method for manufacturing SOI wafer of the present invention comprises a bonding step including a process of bringing the main surfaces of a first silicon single crystal substrate and a second silicon single crystal substrate, each of such main surfaces having previously formed thereon a silicon oxide film, into close contact so as to locate such silicon oxide films in between; and a thickness reducing step for reducing the thickness of such first silicon single crystal substrate to thereby convert it into an SOI layer, wherein such second silicon single crystal substrate comprises a silicon single crystal substrate having a bulk resistivity of 100 [ $\Omega$ ].cm or above, and such process of bringing the main surfaces into contact in such bonding step is proceeded in an atmosphere of a clean air supplied through a boron-releasable filter.

[0013] The present invention employs a silicon single crystal substrate having a bulk resistivity of 100 [ $\Omega$ ].cm or above as the second silicon single crystal substrate (corresponded to the base wafer), and further employs, in order to bring such substrates into close contact, an atmosphere containing a high concentration of boron derived from the air filter, which is usually found in ordinary clean rooms. The atmosphere is composed of a clean air supplied through a boron-releasable filter (which is exemplified by HEPA filters disclosed in Unexamined Japanese Patent Publications Nos. 10-165730 and 8-24551). In the present invention, the silicon oxide film is respectively formed on both of the second silicon single crystal substrate and the first silicon single crystal substrate (corresponded to the bond wafer), and both silicon oxide films are then brought into contact with each other.

[0014] The SOI wafer of the present invention comprises a silicon single crystal substrate; a silicon oxide film formed on the main surface of such silicon single crystal substrate; and an SO layer comprising a silicon single crystal layer formed on the silicon oxide film, wherein such silicon single crystal substrate has a bulk resistivity of 100 [ $\Omega$ ].cm or above, and the silicon oxide film has a depth profile of boron concentration in which the boron concentration reaches maximum at a thickness position more closer to the silicon single crystal substrate away from the center of the film thickness.

[0015] According to the method for manufacturing SOI wafer of the present invention, the bonding interface is formed within the silicon oxide film, which means that boron which resides in the bonding atmosphere is confined within the silicon oxide film.

(buried oxide film). Since the diffusion coefficient of boron in the silicon oxide film is small, the boron diffusion into the layer and silicon single crystal substrate (base wafer) can successfully be suppressed even after high-temperature annealing raising bonding strength of the oxide films.

[0016] It is preferable herein that the thickness of the silicon oxide film formed on the base wafer is smaller than the oxide film formed on the bond wafer. By manufacturing the bonded SOI wafer based on such definition of the thickness of the oxide film on both wafers, the bonding interface is formed at a thickness-wise position more closer to the base wafer away from the surface of the film thickness. This ensures the SOI wafer to have more stable device characteristics. The next paragraphs will describe the reason why.

[0017] To prevent the high-frequency characteristics of the SOI wafer from being degraded, it is necessary to avoid lowering the resistivity of the base wafer as described in the above. The present invention thus provides an effective measure whereby the oxide films are mutually bonded so as to confine the atmospheric boron into such oxide films. There is, however, still an apprehension that boron confined in the bonding interface may diffuse in the oxide film to reach the SOI layer or base wafer depending on various conditions such as boron concentration in the bonding atmosphere, bonding annealing, annealing time for device fabrication, and thickness of buried oxide film necessary for device characteristics.

[0018] The concentration of boron possibly diffused through the oxide film might be fairly small as compared with the boron concentration in the vicinity of the bonding interface as described in the above, but even such small amount of boron can adversely affect the device characteristics ensured by the SOI layer if it diffuses thereto, since the absolute amount of dopant intrinsically contained in the SOI layer as thin as 1  $\mu\text{m}$  or less is quite small. Moreover, when there is a need for the thickness of buried oxide layer of as thin as 0.1  $\mu\text{m}$  or less, thinner buried oxide film makes the bonding interface closer to the SOI layer. In a microscopic view, the bonding interface, however, has sites of incomplete chemical bond, and fixed charge attributable to such sites may adversely affect the SOI layer in which device formation area will be reserved. Considering the above, the bonding interface is preferably formed in the buried oxide film closer to the base wafer.

[0019] On the other hand, the base wafer will suffer from only a slight degree of lowering in the bulk resistivity thereof because only a fairly limited degradation of the high-frequency characteristics if a slight amount of boron diffused through the oxide film may be incorporated therein, since the absolute value of the dopant concentration of such base wafer is relatively large, despite its high resistivity, if a large thickness thereof is taken into consideration. It is also noteworthy that the fixed charge within the buried oxide film will never affect the base wafer which does not serve as active layer of devices.

[0020] As judged from the above, the thickness of the oxide film formed on the bond wafer is preferably 0.1  $\mu\text{m}$  or more. In consideration of effects on the SOI layer exerted by boron diffused through the oxide film, or by fixed charge which resides at the bonding interface. The thickness of the oxide film exceeding 2  $\mu\text{m}$  is, however, not practical since formation of such thick film needs a considerably long annealing time in a normal-pressure thermal oxidation furnace which is widely accepted.

[0021] The SOI wafer of the present invention will therefore be such that effectively suppressing the boron-induced lowering of the bulk resistivity of the silicon single crystal substrate, and being preferably applicable to high-frequency devices. It is economical since use of an expensive facility such as boron-free filter system is no more necessary.

[0022] As the second silicon single crystal substrate (referred to as a silicon single crystal substrate in the bonded SOI wafer) employed in the method of the present invention, it is preferable to use a substrate having a resistivity of 100  $\Omega\cdot\text{cm}$  or above, more preferably 500  $\Omega\cdot\text{cm}$  or above, and still more preferably 1,000  $\Omega\cdot\text{cm}$  or above in view of ensuring desirable high-frequency characteristics.

[0023] The bonding step in the method of the present invention may include an annealing process which is carried out within a temperature range from 1,150 to 1,300 $^{\circ}\text{C}$ . so as to achieve sufficient bonding strength. For the purpose of bonding the oxide films with each other, annealing at a temperature below 1,150 $^{\circ}\text{C}$ . may sometimes result in insufficient bonding strength. More specifically, the SOI wafer obtained after annealing below 1,150 $^{\circ}\text{C}$ . may show only an insufficient chemical bonding strength when measured by immersing such wafer into an aqueous solution of hydrofluoric acid so as to assess the corrosion status, even after a sufficient mechanical bonding strength is observed typically in tensile strength test. On the other hand, annealing at 1,150 $^{\circ}\text{C}$ . or above, preferably at 1,200 $^{\circ}\text{C}$ . or above, ensures a satisfactory level of bonding strength not only mechanically but also chemically. The annealing temperature exceeding 1,300 $^{\circ}\text{C}$ ., however, may be more likely to generate slip dislocation, which is inappropriate since problems in durability of an annealing furnace as contamination tend to arise. The annealing temperature is thus preferably set at 1,250 $^{\circ}\text{C}$ . or below from a practical viewpoint.

#### BRIEF DESCRIPTION OF THE DRAWINGS

[0024] FIG. 1A is a drawing for explaining process of manufacturing the SOI wafer of the present invention;

[0025] FIG. 1B is a drawing as continued from FIG. 1A;

[0026] FIG. 1C is a drawing as continued from FIG. 1B;

[0027] FIG. 1D is a drawing as continued from FIG. 1C;

[0028] FIG. 2 is a schematic drawing of a clean room whereat the bonding step in the method for manufacturing SOI wafer according to the present invention is carried out;

[0029] FIG. 3 is an explanatory chart showing the SOI wafer of the present invention and a depth profile of the boron concentration in the silicon oxide film;

[0030] FIG. 4 is a graph showing a relation between exposure time of wafer and concentration of boron deposited on the surface of the wafer (surface density);

[0031] FIG. 5 is a drawing for explaining a mechanism according to which boron is incorporated into the silicon oxide film by the method of the present invention; and

[0032] FIG. 6 is a graph showing measured boron concentration in an Example and Comparative Example.

## BEST MODE FOR CARRYING OUT THE INVENTION

[0033] Preferred embodiments of the present invention will be described hereinafter.

[0034] FIGS. 1A to 1D are drawings for schematically explaining the method for manufacturing SOI wafer according to present invention. First as shown in FIG. 1A, silicon oxide films 3', 3" are formed on main surfaces 1a, 2a of a bond wafer 1 and a base wafer 2 as a second silicon single crystal substrate, respectively. The silicon oxide films can be formed not only by wet oxidation but also by dry process such as CVD (chemical vapor deposition) or the like. It is preferable that the silicon oxide film 3' on the bond wafer 1 is adjusted so as to have a thickness of 0.1 to 2 [ $\mu$ m], and the silicon oxide film 3" on the base wafer 2 is formed so as to be thinner than the silicon oxide film 3' on the bond wafer 1. The base wafer 2 herein is a silicon single crystal substrate with a high resistivity (specifically 100 [ $\Omega$ ].cm or above) is used. While the bond wafer 1 is not specifically limited, a substrate having a normal range of resistivity (approx. 1 to 20 [ $\Omega$ ].cm) is generally used.

[0035] Next, at least the surfaces having formed thereon the silicon oxide films 3', 3" of the bond wafer 1 and base wafer 2 are cleaned using a cleaning solution, and the both wafers are then, as shown in FIG. 1B, brought into close contact on their main surfaces where the silicon oxide films 3', 3" are formed at room temperature or around, and annealed in an annealing furnace at 1,100 to 1,300[deg.] C. to thereby tightly bond them with each other. Such bonding step can be carried out in a clean bench 21 or a clean room 20 as shown in FIG. 2. The inner atmosphere of the clean room 20 and clean bench 21 typically comprises air supplied through a boron-releasable filter 22 such as HEPA filter. The saturated concentration value of boron deposit on the surface of the wafer, which is left in the clean bench 21 or the clean room 20, generally falls within a range from  $10^{10}$  to  $10^{13}$  atoms/cm<sup>2</sup>.

[0036] By the annealing, the silicon oxide films 3', 3" are united to form a silicon oxide film 3 as shown in FIG. 1C, and being interposed with such silicon oxide film 3 the bond wafer 1 and base wafer 2 are tightly bonded. The bonding interface is thus formed within the silicon oxide film 3. Next, the bond wafer 1 is thinned to a targeted thinning plane 5 shown in FIG. 1D as to leave the bond wafer 1 in a thickness sufficient for forming devices. After the thinning process, an SOI layer 6 having a predetermined thickness is remained as shown in FIG. 1D. The thinning process for reducing the thickness of the bond wafer 1 can be effected by various methods, and is by no means specifically limited in the present invention. One exemplary method relates to reduction in the thickness of the bond wafer 1 by grinding and polishing it from a plane opposite to the plane where the silicon oxide film 3 already formed thereon (referred to as "polishing process" hereinafter). For the purpose of further thinning after the polishing, a dry etching technique called PACE (plasma-assisted chemical etching) can typically be applied. It is a general strategy to combine these methods to thin the wafer to the targeted thinning plane 5.

[0037] Methods other than the foregoing polishing process include so-called Smart-Cut process (registered trademark). In the Smart-Cut process, the bond wafer 1 is implanted with ions of a light-weight element such as hydrogen, helium, or the like prior to the bonding, then brought into close contact with the base wafer 2 so as to locate the oxide film in between, which is followed by annealing. The bond wafer 1 is separated at the portion where the light-weight element ions are implanted, to thereby give an SOI layer 6 of a predetermined thickness which serves as a device forming area. The Smart-Cut process is advantageous in that a separated portion of the bond wafer 1 obtained after the annealing can be recycled as a new bond wafer or base wafer. It should be noted, however, that this process is advantageous in obtaining a relatively thin SOI layer, and it is difficult to produce a relatively thick SOI layer (typically 1 [ $\mu$ m] thick or above) since the depth of implantation of the light-weight element ions is as small as 0.1 to 1 [ $\mu$ m] or around.

[0038] Recent development efforts also resulted in a method in which the ions to be implanted after being excited in place thereby allow the separation at room temperature or around without any special annealing. Annealing for the separation can be omitted when such method is adopted to the present invention.

[0039] According to the foregoing processes, an SOI wafer 10 of the present invention as shown in FIG. 1D is obtained. In the produced SOI wafer 10, the silicon oxide film 3 will have formed therein an intermediate position along the thickness-wise direction (a thickness-wise position closer to the base wafer away from the center of the thickness in this embodiment) where the boron concentration reaches maximum as shown in FIG. 3. This is because, as shown in FIG. 5, boron B previously existed on the surface of the silicon oxide film 3 prior to the bonding, and the bonding is carried out while retaining the adhesion of boron B which allows boron B to be incorporated within the silicon oxide film. Boron concentration will be maximum in the vicinity of the bonding interface 4. The position whereat the boron concentration reaches maximum can vary depending on the relative thickness of the silicon oxide film 3' formed on the bond wafer 1 and the silicon oxide film 3" formed on the base wafer 2. When the thickness of the silicon oxide film 3' on the bond wafer 1 and the thickness of the silicon oxide film 3" on the base wafer 2 are almost equivalent, the bonding interface 4 is formed approximately at the center of the united silicon oxide film 3, so that the position whereat the boron concentration reaches maximum also falls approximately on the center. However, the position whereat the boron concentration reaches maximum is preferably closer to the base wafer 2 based on the foregoing reason.

[0040] (Example and Comparative Example)

[0041] The following experiment was carried out in order to confirm the effects of the present invention.

[0042] Silicon single crystal substrates which serve as a bond wafer and a base wafer were sliced out from silicon single crystal ingots pulled by the MCZ (magnetic-field-applied Czochralski) method. The bond wafer employed herein was a p-type silicon single crystal substrate having a diameter of 200 mm, a resistivity of 10 [ $\Omega$ ].cm, an interstitial oxygen concentration of 10 ppma (based on the standards by JEIDA (Japanese Electronic Industry Development Association)), a thickness of 725 [ $\mu$ m], and a crystal orientation of <100>, and the base wafer employed herein was a p-type silicon single crystal substrate having a diameter of 200 mm, a resistivity of 1,200 [ $\Omega$ ].cm, an interstitial oxygen concentration of 6 ppma (JEIDA standard), a thickness of 725 [ $\mu$ m] and a crystal orientation of <100>.

[0043] On the individual main surfaces of the foregoing base wafer and bond wafer, the silicon oxide films were formed by the method described below. On the bond wafer, a silicon oxide film of 0.5 [ $\mu$ m] thick was formed by wet oxidation under

annealing conditions of 1,050[deg.] C. for 120 minutes, and on the base wafer, a silicon oxide film of 0.1 [ $\mu$ m] thick was formed by wet oxidation under annealing conditions of 800[deg.] C. for 100 minutes.

[0044] The bond wafer having thus formed thereon the silicon oxide film was then implanted with hydrogen ions, where acceleration energy was 46 keV, and an amount of dose was  $8 \times 10^{16}/\text{cm}^2$ . The bond wafer and base wafer were then subjected to SC-1 cleaning, and stacked with each other in a clean bench of a clean room having an atmosphere purified by a HEPA filter at room temperature, to thereby bring them into close contact. A relation between exposure time of wafer and concentration of boron deposited on the surface of the wafer (surface density) was as shown in FIG. 4, from which the exposure time in this experiment was determined as 60 minutes.

[0045] Thus stacked wafers were annealed at 500[deg.] C. for 30 minutes to thereby bond them, and concomitantly the base wafer was allowed to cleave at the hydrogen ion implanted layer to thereby produce the SOI layer of approx.  $0.3 \pm 0.005$   $\mu$ m thick. The substrate having formed thereon the SOI layer was then annealed at 1,200[deg.] C. for 60 minutes for the purpose of enhancing the bonding strength of the bonding interface to thereby obtain an SOI wafer (Example). On the other hand in Comparative Example, another SOI wafer was manufactured similarly to Example except that the silicon oxide film was only on the bond wafer in a thickness of 0.6 [ $\mu$ m].

[0046] The SOI layers of thus produced SOI wafers in Example and Comparative Example were removed by alkali etching. The depth profile of the boron concentration of each buried oxide film from the surface thereof along the sectional-thickness direction was then measured by SIMS (secondary ion mass spectroscopy). It was confirmed from the measurement that, in Example, the boron concentration reached maximum at approx. 0.5 [ $\mu$ m] deep from the surface of the buried oxide film position corresponds to the bonding interface or around. On the contrary, the boron concentration of buried oxide film in Comparative Example only showed a slight increase in the vicinity of bonding interface, and the concentration in other areas below the lower detection limit. The depth profile of boron concentration was measured by SIMS also for the base wafer. The surface thereof after the buried oxide film was etched off using an aqueous HF solution. Results were shown in FIG. 5. While the SOI wafer of Comparative Example showed increase in the boron concentration (that is, reduction in the resistance) towards the surficial portion of the base wafer, it was confirmed that the SOI wafer of Example showed the boron concentration in the surficial portion almost kept constant.

---

Data supplied from the *esp@cenet* database - Worldwide

Claims of corresponding document: **US2003075260**

1. A method for manufacturing SOI wafer comprising:

a bonding step including a process of bringing the main surfaces of a first silicon single crystal substrate and a second silicon single crystal substrate, each of the main surfaces having previously formed thereon a silicon oxide film, into close contact to locate the silicon oxide films in between; and

a thickness reducing step for reducing the thickness of the first silicon single crystal substrate to thereby convert it into a layer,

wherein the second silicon single crystal substrate comprises a silicon single crystal substrate having a bulk resistivity of  $10^3$  [ $\Omega$ ].cm or above, and

the process of bringing the main surfaces into close contact in the bonding step is proceeded in an atmosphere of a clean room supplied through a boron-releasable filter.

2. The method for manufacturing SOI wafer according to claim 1, wherein the thickness of the silicon oxide film formed on the main surface of the second silicon single crystal substrate is smaller than that of the silicon oxide film formed on the main surface of the first silicon single crystal substrate.

3. The method for manufacturing SOI wafer according to claim 1 or 2, wherein the thickness of the silicon oxide film formed on the main surface of the first silicon single crystal substrate is 0.1 to 2 [ $\mu$ m].

4. The method for manufacturing SOI wafer according to any one of claims 1 to 3, wherein the bonding step includes an annealing process carried out within a temperature range from 1,150 to 1,250[deg.] C.

5. An SOI wafer comprising:

a silicon single crystal substrate;

a silicon oxide film formed on the main surface of the silicon single crystal substrate; and

an SOI layer comprising a silicon single crystal layer formed on the silicon oxide film,

wherein the silicon single crystal substrate has a bulk resistivity of  $10^3$  [ $\Omega$ ].cm or above, and

the silicon oxide film has a depth profile of boron concentration in which the boron concentration reaches maximum at a thickness-wise position closer to the silicon single crystal substrate away from the center of the film thickness.

---

Data supplied from the *esp@cenet* database - Worldwide

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-184960

(P2002-184960A)

(43) 公開日 平成14年6月28日 (2002. 6. 28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 27/12		H 0 1 L 27/12	B 5 F 0 5 2
21/02		21/02	B
21/20		21/20	

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2000-384379(P2000-384379)

(22) 出願日 平成12年12月18日 (2000. 12. 18)

(71) 出願人 000190149

信越半導体株式会社

東京都千代田区丸の内1丁目4番2号

(72) 発明者 三谷 清

群馬県安中市磯部2丁目13番1号 信越半  
導体株式会社半導体磯部研究所内

(74) 代理人 100095751

弁理士 菅原 正倫

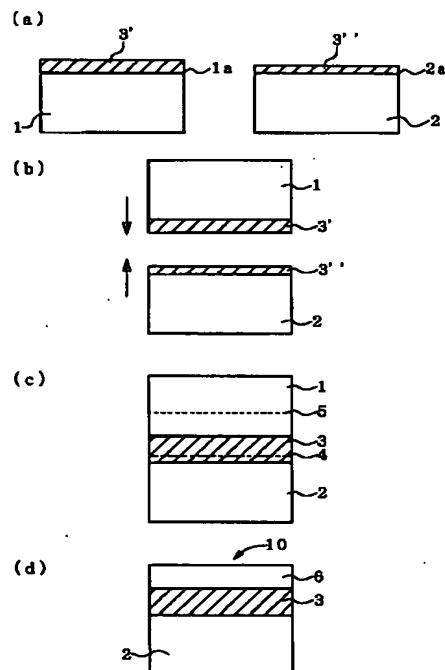
Fターム(参考) 5F052 KB01 KB05

(54) 【発明の名称】 S O I ウェーハの製造方法及び S O I ウェーハ

(57) 【要約】

【課題】 高周波特性に優れた S O I ウェーハ及びその製造方法を提供する。

【解決手段】 第一のシリコン単結晶基板（ボンドウェーハ）1と第二のシリコン単結晶基板（ベースウェーハ）2の各主表面にシリコン酸化膜3'、3''を形成し、該シリコン酸化膜3'、3''を介して前記第一及び第二シリコン単結晶基板1、2を、ホウ素放出性フィルターを通して供給された清浄空気からなる雰囲気中にて密着させ、S O I ウェーハ10を作製する。第二のシリコン単結晶基板（ベースウェーハ）2として、基板内部の抵抗率が100Ω・cm以上のシリコン単結晶基板を用いる。また、このようにして形成されたS O I ウェーハ10は、そのシリコン酸化膜3中において厚さ方向のホウ素濃度分布を測定したとき、酸化膜内部にホウ素濃度が最大となる位置が存在する形態となる。



## 【特許請求の範囲】

【請求項 1】 第一のシリコン単結晶基板と第二のシリコン単結晶基板の各主表面にシリコン酸化膜を形成し、該シリコン酸化膜を介して前記第一及び第二シリコン単結晶基板の前記主表面同士を密着させる工程を含む貼り合わせ工程と、前記第一のシリコン単結晶基板の厚みを減じて S O I 層となす減厚工程とを有し、前記第二のシリコン単結晶基板として、基板の抵抗率が  $100\Omega \cdot \text{cm}$  以上のシリコン単結晶基板を用い、かつ、前記貼り合わせ工程における主表面同士を密着させる工程を、ホウ素放出色フィルターを通して供給された清浄空気からなる雰囲気中にて行うことを特徴とする S O I ウェーハの製造方法。

【請求項 2】 前記第二のシリコン単結晶基板の主表面に形成するシリコン酸化膜の厚さを、前記第一のシリコン単結晶基板の主表面に形成するシリコン酸化膜の厚さよりも薄く形成することを特徴とする請求項 1 に記載の S O I ウェーハの製造方法。

【請求項 3】 前記第一のシリコン単結晶基板の各主表面に形成するシリコン酸化膜の厚さを  $0.1 \sim 2\mu\text{m}$  とすることを特徴とする請求項 1 又は 2 に記載の S O I ウェーハの製造方法。

【請求項 4】 前記貼り合わせ工程は、 $1150 \sim 1250^\circ\text{C}$  の温度範囲にて行なわれる熱処理工程を含むことを特徴とする請求項 1 ないし 3 のいずれかに記載の S O I ウェーハの製造方法。

【請求項 5】 シリコン単結晶基板と、該シリコン単結晶基板の主表面上に形成されたシリコン酸化膜と、該シリコン酸化膜上に形成されたシリコン単結晶からなる S O I 層とを有し、前記シリコン単結晶基板は基板の抵抗率が  $100\Omega \cdot \text{cm}$  以上のシリコン単結晶基板であるとともに、前記シリコン酸化膜において厚さ方向のホウ素濃度分布を測定したとき、膜厚さ方向の中央よりシリコン単結晶基板寄りの位置にホウ素濃度が最大となる位置が存在することを特徴とする S O I ウェーハ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、S O I ウェーハの製造方法及び S O I ウェーハに関する。

## 【0002】

【従来の技術】 携帯電話等の移動体通信においては、数  $100\text{MHz}$  以上の高周波信号を取り扱うのが一般的となっており、高周波特性の良好な半導体デバイスが求められている。例えば、CMOS-IC や高耐圧型 IC 等の半導体デバイスには、シリコン単結晶基板（以下、ベースウェーハともいう）上にシリコン酸化膜層（埋め込み酸化膜）を形成し、その上に別のシリコン単結晶層を S O I (Silicon on Insulator) 層として積層形成し

た、いわゆる S O I ウェーハが使用されている。これを高周波用の半導体デバイスに使用する場合、高周波損失低減のため、ベースウェーハとして高抵抗率のシリコン単結晶を使用することが必要である。

【0003】 ところで、S O I ウェーハの代表的な製造方法として貼り合せ法がある。この貼り合せ法は、デバイス形成領域である S O I 層となる第一のシリコン単結晶基板（以下、ボンドウェーハともいう）と、ベースウェーハとなる第二のシリコン単結晶基板とをシリコン酸化膜を介して貼り合わせた後、ボンドウェーハを所望の厚さまで減厚し、薄膜化することによりボンドウェーハを S O I 層とするものである。

【0004】 上記のような貼り合せ法においては、ベースウェーハとボンドウェーハの貼り合わせ界面に、パーティクル等の異物が挟み込まれている場合がある。このような異物が貼り合わせ界面に存在すると、ボイド等の欠陥が形成されたり、不純物の拡散等により S O I ウェーハの特性が劣化したり、あるいは、基板同士の貼り合わせ強度が低下したりする場合がある。そのため、貼り合わせ界面への異物の混入を抑制するために、基板の貼り合わせはクリーンルーム内（あるいは、クリーンエリア内）にて行われる。そして、このような貼り合せ法により S O I ウェーハを製造する場合、一般には、ボンドウェーハにのみシリコン酸化膜を形成し、そのシリコン酸化膜を介してベースウェーハと貼り合わせる方法が多く採用されている。

【0005】 他方、貼り合わせが行われるクリーンルーム内には、エアフィルターに起因するホウ素が存在し、このホウ素が貼り合わせ界面に不純物として取り込まれることが知られている。この貼り合わせ界面に取り込まれたホウ素は、結合強度を高めるために行われる高温熱処理（結合熱処理）や、デバイス作製熱処理などにより拡散する。しかし、ボンドウェーハにのみシリコン酸化膜を形成して貼り合わせる方法を採用すれば、S O I 層（デバイス形成領域）への拡散がシリコン酸化膜により遮られ、デバイスへの影響はほとんどない。これが、前述したボンドウェーハにのみシリコン酸化膜を形成しベースウェーハと貼り合わせる方法が多く採用されている理由の 1 つである。その一方で、ベースウェーハとシリコン酸化膜との貼り合せ面には、エアフィルターからのホウ素が吸着するので、上記結合熱処理により該ホウ素はベースウェーハには拡散してしまう。

【0006】 上記のようなホウ素のベースウェーハへの拡散は、ベースウェーハとして通常抵抗率や低抵抗率のシリコン単結晶基板を使用する場合には、それほど問題とはならなかった。しかしながら、高周波用の S O I ウェーハにおいては、数  $100 \sim$  数  $1000\Omega \cdot \text{cm}$  の高抵抗率のベースウェーハを使用するため、ベースウェーハのシリコン酸化膜との界面近傍数  $\mu\text{m}$  の領域における抵抗率がホウ素の拡散により大幅に低下し、高周波特性



が劣化する問題がある。

【0007】そこで、上記問題を解決するために、特開2000-100676号公報には、SOIウェーハの製造において、クリーンルームへの空気導入の際に使用するフィルタ種別の選択により、貼り合わせ雰囲気中のP型不純物としてのホウ素とN型不純物の量とを制御する方法が記載されている。具体的には以下のような方法が開示されている：1. ベースウェーハの導電型とは無関係に、PTFEフィルタとホウ素吸着性のケミカルフィルタとを組み合わせたホウ素フリーのフィルタシステムを用いる。特に、ベースウェーハが高抵抗率のP型シリコン単結晶ウェーハである場合、ホウ素フリーのフィルタを用いることは、ホウ素吸着によるベースウェーハの抵抗率低下を抑制する上で有効である；2. ベースウェーハが高抵抗率のN型シリコン単結晶ウェーハの場合に、ホウ素放出性を有するHEPAフィルタを用いる。ホウ素が吸着しても、ホウ素がN型シリコン単結晶ウェーハ中のN型ドーパントとコンベンサイトするため抵抗率の低下を防ぐことができる；

【0008】

【発明が解決しようとする課題】しかしながら、上記1の方法はホウ素フリーのフィルタシステムが高価であり、経済性に劣る。他方、2の方法は、N型のベースウェーハを用いる場合には適用できても、P型のベースウェーハを用いる場合には当然適用することができない。例えば、上記の公報の段落0150にも、HEPAフィルタの使用は高抵抗のP型ウェーハには適用し難い旨が記載されている。また、N型ドーパントとフィルタからの吸着ホウ素濃度のバランスが適切でないと抵抗率が低下してしまう場合もある。

【0009】本発明の課題は、導電型を問わず高抵抗率のシリコン単結晶基板をベースウェーハとして用い、かつホウ素が存在する雰囲気中において貼り合わせ処理を行っても、ベースウェーハの抵抗率が低下し難いSOIウェーハの製造方法と、該方法により製造可能であり、貼り合せ時に取り込まれるホウ素を特有の位置に局在化させることによりベースウェーハの高抵抗率を維持し、SOI層の電気特性をも良好に保つことができ、ひいては高周波特性の良好なSOIウェーハを提供することにある。

【0010】

【発明が解決しようとする課題】上記課題を解決するために、本発明のSOIウェーハの製造方法は、第一のシリコン単結晶基板と第二のシリコン単結晶基板の各主表面にシリコン酸化膜を形成し、該シリコン酸化膜を介して第一及び第二のシリコン単結晶基板の主表面同士を密着させる工程を含む貼り合わせ工程と、第一のシリコン単結晶基板の厚みを減じてSOI層となす減厚工程とを有し、第二のシリコン単結晶基板として、基板内部の抵抗率が $100\Omega\cdot\text{cm}$ 以上のシリコン単結晶基板を用

い、かつ、貼り合わせ工程における主表面同士を密着させる工程を、ホウ素放出性フィルタを通して供給された清浄空気からなる雰囲気中にて行うことを特徴とする。

【0011】上記本発明においては、第二のシリコン単結晶基板（ベースウェーハに相当する）として、抵抗率 $100\Omega\cdot\text{cm}$ の高抵抗率のものを用い、それを密着させる雰囲気として、通常のクリーンルーム内に見られる様な、エアフィルタに起因するホウ素が高濃度に存在する雰囲気を敢えて採用する。該雰囲気は、ホウ素放出性フィルタ（例えば、特開平10-165730号公報あるいは特開平8-24551号公報により公知のHEPAフィルタ）を通して供給された清浄空気により形成されるものである。そして、第二のシリコン単結晶基板と、第一のシリコン単結晶基板（ボンドウェーハに相当する）との両方にシリコン酸化膜を形成し、その酸化膜同士を貼り合わせる形態とした。

【0012】また、本発明のSOIウェーハは、シリコン単結晶基板と、該シリコン単結晶基板の主表面上に形成されたシリコン酸化膜と、該シリコン酸化膜上に形成されたシリコン単結晶からなるSOI層とを有し、前記シリコン単結晶基板は基板抵抗率が $100\Omega\cdot\text{cm}$ 以上のシリコン単結晶基板であるとともに、該シリコン酸化膜において厚さ方向のホウ素濃度分布を測定したとき、膜厚さ方向の中央よりシリコン単結晶基板寄りの位置にホウ素濃度が最大となる位置が存在することを特徴とする。

【0013】上記本発明のSOIウェーハの製造方法によると、貼り合わせ界面はシリコン酸化膜中に形成される。つまり、貼り合わせ雰囲気中に存在するホウ素がシリコン酸化膜（埋め込み酸化膜）中に閉じ込められる形態となる。シリコン酸化膜中におけるホウ素の拡散係数は小さいので、酸化膜同士の結合強度を高める高温熱処理を行っても、SOI層及びシリコン単結晶基板（ベースウェーハ）へのホウ素の拡散を抑制することができる。

【0014】この場合、ベースウェーハに形成される酸化膜の厚さを、ボンドウェーハに形成する酸化膜の厚さよりも薄く形成することが好ましい。このように両ウェーハの酸化膜厚を設定して貼り合わせSOIウェーハを作製すれば、貼り合せ界面は埋め込み酸化膜の深さ方向の中央よりベースウェーハよりに形成される。これにより、SOIウェーハのデバイス特性をより安定なものとすることができる。以下にその理由を説明する。

【0015】SOIウェーハの高周波特性の劣化を防ぐためには、前述のようにベースウェーハの高抵抗率を低下させないことが必要である。そこで、雰囲気中のホウ素を酸化膜中に閉じ込めるべく、本発明の酸化膜同士の貼り合わせが有効となる。しかしながら、貼り合わせを行う雰囲気中のホウ素の濃度や、結合熱処理、デバイス

作製熱処理、あるいは、デバイスとして要求される埋め込み酸化膜の厚さ等の条件次第では、貼り合わせ界面に閉じ込められたホウ素が酸化膜中を拡散して、SOI層中やベースウェーハ中に拡散する場合も考えられる。

【0016】このように、酸化膜を通過して拡散するホウ素濃度は、貼り合わせ界面付近に存在するホウ素濃度に比べればわずかな濃度であるが、それが、例えば厚さ1 $\mu$ m以下の薄膜SOI層中に拡散した場合、薄膜SOI層中に元々存在するドーパントの絶対量は極めて少ないので影響を受けやすい。また、例えば、0.1 $\mu$ m以下といった薄い埋め込み酸化膜厚が要求される場合、埋め込み酸化膜を薄くすればするほど貼り合わせ界面はSOI層に近づくことになるが、ミクロに見た場合の貼り合わせ界面には、化学結合が不完全な部分が存在し、それに起因する固定電荷がデバイス形成領域となるSOI層に悪影響を及ぼす可能性もある。これらを考慮すると、貼り合わせ界面はベースウェーハ寄りの埋め込み酸化膜中に形成することが好ましい。

【0017】一方、酸化膜を通過して拡散するわずかなホウ素がベースウェーハに取り込まれても、ベースウェーハの厚さを考慮すれば高抵抗率であってもドーパント濃度の絶対値は比較的大きいので、ベースウェーハ全体としての抵抗率の上昇、すなわち、高周波特性の劣化は極めて小さいものになる。また、埋め込み酸化膜中の固定電荷は、デバイスの活性層とならないベースウェーハには影響を与えない。

【0018】以上のように、酸化膜を拡散して通過したホウ素や、貼り合わせ界面の固定電荷などがSOI層に及ぼす影響を考慮すると、ボンドウェーハに形成する酸化膜としては0.1 $\mu$ m以上形成することが好ましい。また、2 $\mu$ mを超える厚さの酸化膜を、通常用いられる常圧熱酸化で形成するためには、かなり長時間の熱処理時間が必要とされるため実用的ではない。

【0019】本発明のSOIウェーハは、ホウ素拡散によるシリコン単結晶基板の抵抗率の低下が効果的に抑えられ、高周波用デバイスに好適に使用できるものとなる。また、ホウ素フリーフィルタシステムのような高価な設備を用いる必要がなくなるので経済的である。

【0020】なお、本発明の製造方法にて使用される第二のシリコン単結晶基板（貼り合わせ後のSOIウェーハにおいては、シリコン単結晶基板となる）は、高周波特性確保のため、抵抗率が100 $\Omega \cdot \text{cm}$ 以上、望ましくは500 $\Omega \cdot \text{cm}$ 以上、さらに望ましくは1000 $\Omega \cdot \text{cm}$ 以上のものが採用される。

【0021】本発明の製造方法の貼り合わせ工程は、強固な貼り合わせ結合状態を得るために、1150~1300 $^{\circ}\text{C}$ の温度範囲にて行なわれる熱処理工程を含むものとして行うことができる。酸化膜同士の貼り合せの場合1100 $^{\circ}\text{C}$ 以下の熱処理では、十分な結合強度を得ることができない場合がある。すなわち、1100 $^{\circ}\text{C}$ 以上の熱処

理では、引っ張り試験などによる機械的な結合強度は得られる場合であっても、フッ酸を含む水溶液中に浸漬して貼り合わせ界面の侵食状況を調査するような化学的な結合強度を調査する試験を行うと、十分な強度が得られない場合がある。一方、1150 $^{\circ}\text{C}$ 以上の熱処理、好ましくは1200 $^{\circ}\text{C}$ 以上の熱処理によれば、機械的な結合強度はもちろん、化学的結合強度も十分に得られる。また、熱処理温度が1300 $^{\circ}\text{C}$ を超えるとスリップ転位が発生しやすくなり、かつ、熱処理炉の耐久性や金属汚染等に問題が発生しやすいので適切ではなく、実用上は1250 $^{\circ}\text{C}$ 以下が好ましい。

【0022】

【発明の実施の形態】以下に本発明の実施の形態について述べる。図1は本発明に係るSOIウェーハの製造方法を概略的に説明するものである。まず、図1(a)のように第一のシリコン単結晶基板としてのボンドウェーハ1と、第二のシリコン単結晶基板としてのベースウェーハ2との各主表面1a、2aにシリコン酸化膜3'、3''を形成する。このシリコン酸化膜の形成は、例えば、ウェット酸化により形成することができるが、CVD (Chemical Vapor Deposition) 等の方法を採用することも可能である。ボンドウェーハ1のシリコン酸化膜3'は0.1~2 $\mu$ m膜厚となるように調節し、ベースウェーハのシリコン酸化膜3''は、ボンドウェーハ1のシリコン酸化膜3'よりも薄く形成することが好ましい。なお、ベースウェーハ2としては高抵抗率（具体的には100 $\Omega \cdot \text{cm}$ 以上）のシリコン単結晶基板を用いる。ボンドウェーハ1については特に制限されるものではないが、通常抵抗率（1~20 $\Omega \cdot \text{cm}$ 程度）のものを用いるのが一般的である。

【0023】次に、ボンドウェーハ1及びベースウェーハ2の少なくともシリコン酸化膜3'、3''が形成されている面を洗浄液にて洗浄した後、図1(b)に示すようにシリコン酸化膜3'、3''の形成側にて室温程度の温度下で密着させ、熱処理炉中にて1150~1300 $^{\circ}\text{C}$ にて熱処理することにより強固に結合する。この貼り合わせ工程は、例えば、図2のようなクリーンルーム20内に設置されたクリーンベンチ21内で行う。該クリーンルーム20内及びクリーンベンチ21内は、例えば、HEPAフィルター等のホウ素放出性フィルター22を通じて清浄空気が供給されるものである。このようなクリーンルーム20内又はクリーンベンチ21内にシリコンウェーハを放置したときにウェーハ表面に堆積するホウ素濃度の飽和値は、10<sup>12</sup>~10<sup>13</sup> atoms/cm<sup>2</sup>程度が一般的である。

【0024】熱処理により、シリコン酸化膜3'、3''が一体化し、図1(c)のように該一体化したシリコン酸化膜3を介してボンドウェーハ1とベースウェーハ2とが強固に結合する。なお、シリコン酸化膜3の内部に貼り合わせ界面4が形成される。次に、デバイス

を形成するのに十分な厚さの領域が残るように、図1(c)の減厚予定面5までボンドウェーハ1の膜厚を減少させる減厚工程を行う。該減厚工程を行うことにより、図1(d)に示すような所望の膜厚のSOI層6が形成されることとなる。ボンドウェーハ2の膜厚を減少させる減厚工程には様々な種類のものがあり、本発明において特に制限されるものではない。例えば、ボンドウェーハ2をシリコン酸化膜3が形成されている面とは反対の面から研削及び研磨することにより膜厚を減少する方法がある(以下、該方法を研磨法ともいう)。また、研磨後のSOI層をさらに薄膜化するためPACE(Plasma Assisted Chemical Etching)法と呼ばれる気相エッチング等が採用される。通常はこれらの方法を組み合わせて減厚予定面5まで減厚させる。

【0025】上記研磨法以外の方法としては、いわゆるスマートカット法(登録商標)を採用することができる。該方法は、貼り合わせ前にボンドウェーハ1に水素やヘリウム等の軽元素イオンを注入し、酸化膜を介してベースウェーハ2と密着させた後熱処理する。すると、ボンドウェーハ1の軽元素イオンを注入した部分が剥離し、デバイス形成領域となる所望の厚さのSOI層6が得られることとなる。このスマートカット法によれば、熱処理により剥離されたボンドウェーハ1の他片は、新たなボンドウェーハやベースウェーハ等として再利用できるというメリットがある。なお、軽元素イオンのボンドウェーハ1への侵入深さが0.1~1μm程度と少ないため、薄いSOI層を得るには効果的であるが、厚膜(例えば1μm以上)のSOI層を得るのは困難である。

【0026】また、最近では注入されるイオンを励起してプラズマ状態で注入することにより、特別な熱処理を行わずに室温程度で剥離を行う方法も開発されているので、本発明においてこの方法を用いる場合には剥離熱処理は不要となる。

【0027】以上のような工程により図1(d)のような本発明のSOIウェーハ10が得られる。このように製造されたSOIウェーハ10においては、図3に示すようにシリコン酸化膜3の膜厚さ方向の中間位置(本実施例においては中央よりベースウェーハ寄りの位置)にホウ素濃度が最大となる位置が存在するものとなる。これは、図5に示すように貼り合わせ工程前にシリコン酸化膜3の表面にホウ素が付着し、その状態で貼り合わせ工程が行われるためホウ素Bがシリコン酸化膜中に取り込まれるからである。ホウ素濃度は、貼り合わせ界面4近傍において最大となる。また、ホウ素濃度が最大となる位置は、ボンドウェーハ1に形成されたシリコン酸化膜3'とベースウェーハ2に形成されたシリコン酸化膜3''との膜厚の係数に依存して変化する。ボンドウェーハ1側のシリコン酸化膜3'の膜厚とベースウェーハ2側のシリコン酸化膜3''の膜厚とがほとんど同じで

ある場合、貼り合わせ界面4は結合後のシリコン酸化膜3の略中央に形成されるため、ホウ素濃度の最大位置もシリコン酸化膜3の略中央になる。

【0028】

【実施例】本発明の効果を調べるために次の実験を行った。

(実施例、比較例)MCZ法(magnetic field applied CZ法)により引き上げられたシリコン単結晶からボンドウェーハ及びベースウェーハとなるシリコン単結晶基板を用意した。ボンドウェーハとしては、直径200mm、抵抗率10Ω・cm、格子間酸素濃度12ppma(JEIDA(日本電子工業振興協会)規格)、厚さ725μm、結晶方位〈100〉のP型シリコン単結晶基板を用い、ベースウェーハとしては、直径200mm、抵抗率1200Ω・cm、格子間酸素濃度6ppma(JEIDA規格)、厚さ725μm、結晶方位〈100〉のP型シリコン単結晶基板を用いた。

【0029】上記のようなベースウェーハ及びボンドウェーハの各主表面に以下の方法によりシリコン酸化膜を形成した。すなわち、ボンドウェーハにおいては、1050℃、120分の熱処理条件のウェット酸化により膜厚0.5μmのシリコン酸化膜を形成する。また、ベースウェーハにおいては、800℃、100分の熱処理条件のウェット酸化にて0.1μmのシリコン酸化膜を形成する。

【0030】上記のようにシリコン酸化膜を形成したボンドウェーハにイオン打ち込み法により水素イオンを注入した。水素イオンの注入エネルギーは46keV、注入線量は $8 \times 10^{16} / \text{cm}^2$ とした。次に、上記ボンドウェーハと、ベースウェーハとをSC-1洗浄後、HEPAフィルターにより清浄化されたクリーンルーム内のクリーンベンチ内にて室温で重ね合わせて密着させた。このクリーンベンチ内にシリコンウェーハを放置した場合の放置時間とウェーハ表面に堆積したホウ素濃度(ボロン面密度)との関係は図4の通りであり、本実験における放置時間は60分とした。

【0031】次に、上記のように重ね合わせたウェーハを、500℃にて30分熱処理することにより貼り合わせるとともに、ボンドウェーハを水素イオン注入層で剥離させ、膜厚約0.3±0.005μmのSOI層を形成した。そして、SOI層が形成された基板に対して、その貼り合せ界面の結合強度を高めるために1200℃、60分の熱処理条件にて熱処理し、SOIウェーハを得た(実施例)。他方、比較例として、酸化膜の形成をボンドウェーハにのみ行い、その膜厚を0.6μmとした以外は実施例と同一の条件で作製したSOIウェーハも用意した。

【0032】以上のように製造した実施例と比較例のSOIウェーハのSOI層をアルカリエッチングで除去し、SIMS(Secondary Ion Mass Spectroscopy)に

より埋め込み酸化膜の表面から断面厚さ方向のホウ素濃度分布を測定した。これにより、実施例の埋め込み酸化膜中のホウ素濃度は表面から約 $0.5\mu\text{m}$ の位置、すなわち、貼り合わせ界面付近において最大となることを確認した。一方、比較例の埋め込み酸化膜中のホウ素濃度は結合界面近傍で若干の増加が見られただけであり、他の領域は検出下限以下であった。さらに、埋め込み酸化膜をHF水溶液により除去した後、ベースウェーハ表面よりSIMSにより深さ方向のホウ素濃度分布を測定した。結果を図6に示す。比較例のSOIウェーハにおいては、ベースウェーハの表層領域において、ホウ素濃度が増加している（すなわち抵抗率が低下している）が、実施例のSOIウェーハにおいては、表層領域のホウ素濃度はほとんど変化していないことがわかる。

【図面の簡単な説明】

【図1】本発明によるSOIウェーハの製造工程を説明した図。

【図2】本発明のSOIウェーハの製造方法において貼\*

り合わせ工程を行うクリーンルームの概略図。

【図3】本発明のSOIウェーハとシリコン酸化膜中の深さ方向におけるホウ素濃度分布を示す図。

【図4】ウェーハ放置時間とウェーハ表面に堆積するホウ素濃度（ボロン面密度）との関係を示す図。

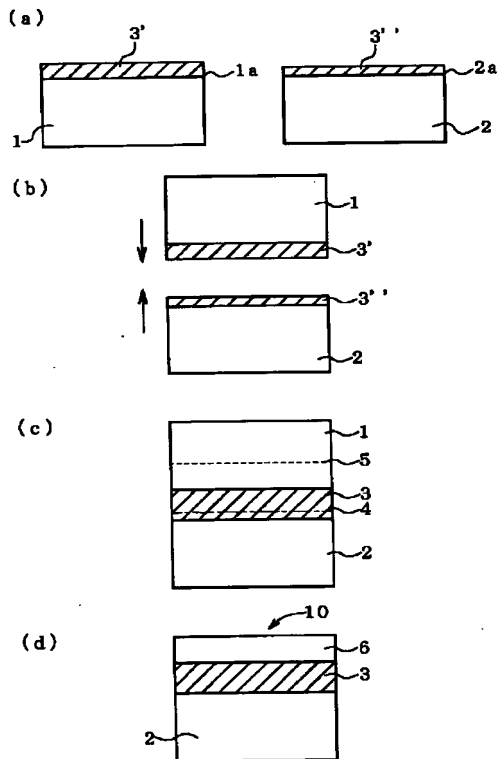
【図5】本発明の方法によりホウ素がシリコン酸化膜中に取り込まれる過程を説明した図。

【図6】実施例及び比較例におけるホウ素濃度の測定結果を示す図。

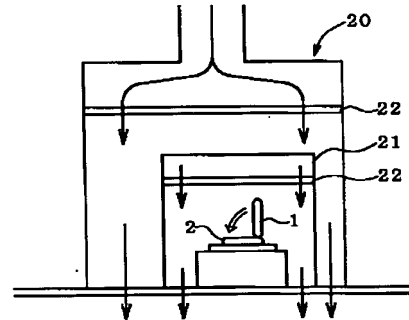
10 【符号の説明】

- 1 ボンドウェーハ（第一のシリコン単結晶基板）
- 2 ベースウェーハ（第二のシリコン単結晶基板）
- 3 シリコン酸化膜（埋め込み酸化膜）
- 3'、3'' シリコン酸化膜
- 1a ボンドウェーハの主表面
- 2a ベースウェーハの主表面
- B ホウ素
- 10 SOIウェーハ

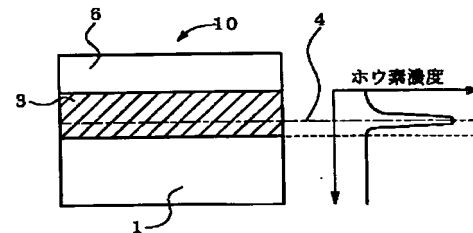
【図1】



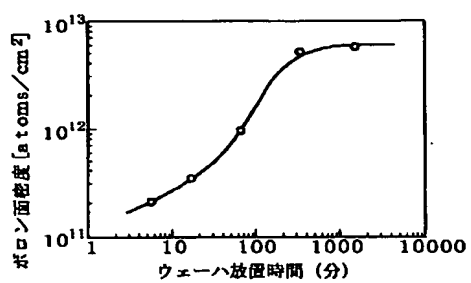
【図2】



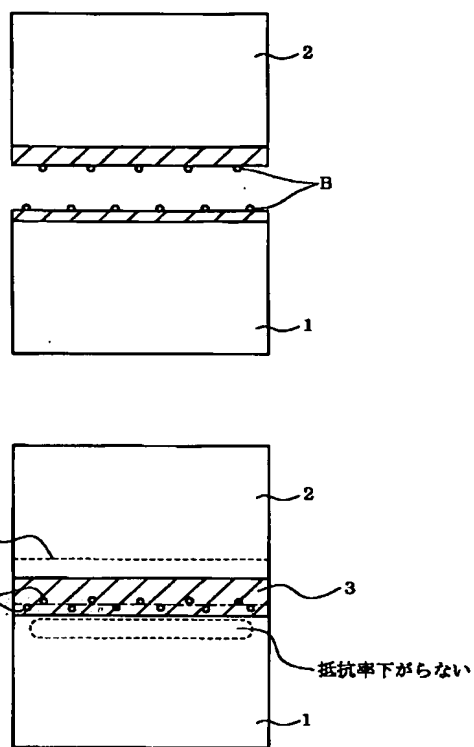
【図3】



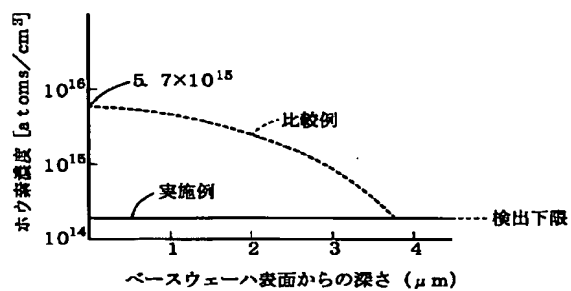
【図4】



【図5】



【図6】



**THIS PAGE BLANK (USPTO)**